

文章编号: 2095-2163(2022)10-0117-07

中图分类号: O482.53

文献标志码: A

一种基于片上系统的 MRI 射频脉冲发生器

刘颖, 钟凯, 章浩伟

(上海理工大学 健康科学与工程学院, 上海 200093)

摘要: 该文设计了一种适用于高场的 MRI 射频脉冲发生系统。该系统利用 Xilinx 公司的片上处理器 (System on Chip, SoC) 架构下的 FPGA-Zynq 7010 与上位机通信获取射频脉冲配置参数, 并通过 SPI 通讯协议来配置多通道的直接数字式频率合成器 (Direct Digital Synthesizer, DDS), 最后通过 FPGA 对射频开关的控制输出射频脉冲。该设计使用 Vivado 软件对片上系统进行设计与开发, 并利用 DDS 实现了射频脉冲的调制, 减小了开发难度, 降低了硬件的复杂程度。经过实验测试, 验证了数字射频脉冲发生功能的有效性。

关键词: 射频脉冲; 磁共振信号; Zynq; 直接数字式频率合成器; SPI

An MRI radio frequency pulse generator based on on-chip system

LIU Ying, ZHONG Kai, ZHANG Haowei

(School of Health Science and Engineering, University of Shanghai for Science and Technology, Shanghai 200093, China)

[Abstract] In this paper, an MRI RF pulse generation system suitable for high field is designed. Zynq 7010, a FPGA based on the System on Chip (SoC) architecture of Xilinx Company, communicates with the upper computer to obtain RF pulse configuration parameters. After that, through SPI communication protocol, multi-channel Direct Digital Synthesizer (DDS) is configured. Finally, using FPGA control of the RF switch, RF pulse is outputted. The research uses Vivado software to design and develop the on-chip system, and uses DDS to realize the modulation of RF pulse. The difficulty of development and the complexity of the hardware are respectively reduced. The effectiveness of digital RF pulse generation is verified by the experiment in the paper.

[Key words] RF pulse; magnetic resonance signal; Zynq; Direct Digital Synthesizer(DDS); SPI

0 引言

射频脉冲发生器是磁共振成像 (Magnetic Resonance Imaging, MRI) 系统的重要组成部分, 可用于产生和控制磁共振激励所需的射频脉冲。在脉冲序列发生器的控制下, 射频脉冲发生器产生特定频率、相位、幅值的射频 (Radio Frequency, RF) 信号^[1], 并控制射频信号的输出时间。射频信号经过射频功放和射频开关以驱动发射线圈产生射频场 (B_1)。

随着数字集成电路的发展, 频率合成技术越来越多地使用数字器件来实现。在射频发生器中, 频率合成是其关键的步骤, 目前频率合成主要有 3 种实现方法, 即: 模拟器件合成、锁相环技术以及直接数字频率合成技术。近年来在频谱仪的设计与实现中, 更多地直接采用数字频率合成技术来实现射频脉冲的发生与控制^[2]。

现如今在 MRI 系统中使用 DDS 生成射频脉冲的方法时, 多会选用无内嵌处理系统的 FPGA 作为

主控芯片。使用嵌入 ARM 核的 SoC 架构在数据处理上更加快速、灵活, 对于复杂系统的设计节省了 FPGA 逻辑资源的消耗。此外, 在应用中不需要额外的处理器与外设并行总线来外挂 FPGA, 这也使得整个嵌入式系统体积足够小, 结构更加灵活。

本文将 DDS 技术与片上处理系统应用于磁共振成像射频信号发射, 设计了一种 MRI 的数字射频脉冲发生系统。设计中利用 SoC 中的 ARM 核与上位机通信获取指令, 并生成相应的配置数据。由 FPGA 控制双通道 DDS-AD9958 实现射频频率合成功能, 以及射频脉冲的波形调制。这种实现方式降低了硬件的复杂程度和数字化开发难度, 从而进一步提高了集成度与灵活性。此外, Zynq 的 AXI4 协议使得数据通讯速度更快, 信息传递结构更简单。

1 结构与原理

1.1 基于 Zynq SoC 的射频发生结构

传统的 MRI 射频发生器主要使用模拟器件合

作者简介: 刘颖 (1980-), 女, 博士, 副教授, 主要研究方向: 医学影像技术; 钟凯 (1997-), 男, 硕士研究生, 主要研究方向: 医学影像技术; 章浩伟 (1970-), 男, 博士, 副教授, 主要研究方向: 生物力学。

通讯作者: 刘颖 Email: ling2431@163.com

收稿日期: 2022-03-04

成。随着数字集成电路的发展,数字射频发射已成为当下的趋势,主要就是在数字域通过数字调制的方式,避免模拟调制中模拟器件的非线性效应引起的信号质量问题^[3]。同时由于模拟器件往往会受到工作温度、寿命、使用环境等因素的影响,数字化射频方法成为了一个新的发展方向。随着软件定义无线电技术(Software Defined Radio, SDR)在数字化开发中展开,SDR在SoC中的集成日趋完善,这为数字化射频开发与实现提供了基础。并且由于FPGA具有硬件集成、可重构性和灵活性等优点,也有效推动了SoC FPGA在射频硬件开发中的应用^[4]。该开发方法在FPGA中以数字频率合成技术和片上系统代替传统的频率源和主控器件来产生射频脉冲信号。

本文使用Zynq的处理系统(process system, PS)读取上位机射频脉冲控制命令,在可编程逻辑(programmable logic, PL)部分生成相应配置文件,并通过AXI对BRAM进行读写操作。配置完成后,在PL端采用SPI通讯方式实现对AD9958的配置,激发后通过计数控制RF开关的开启与关闭,最终得到RF脉冲。系统框架结构如图1所示。

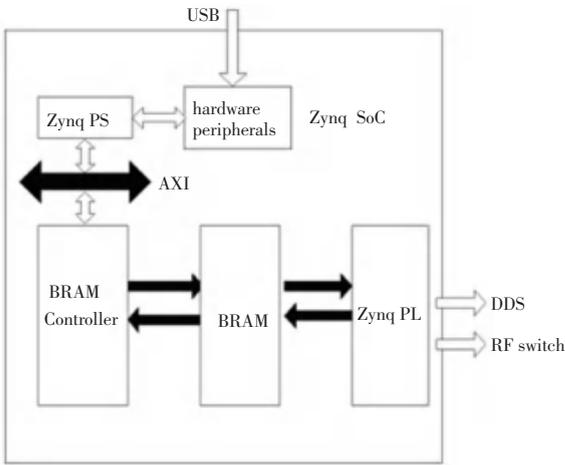


图1 Zynq SoC系统框架

Fig. 1 Block diagram of Zynq SoC

1.2 DDS原理

DDS主要包含一个相位发生器、正弦查找表和DAC,其中相位发生器由相位累加器以及一个提供相位偏移的加法器组成。DDS通过频率控制字来改变相位增量(步长)。步长的差异导致周期内量化数据的取样样本数不同。因此在时钟频率一定时,通过改变相位,频率将随之变化;相位偏移、即相位控制字,用于设置增量的初始值,从而控制初始的相位。查找表一般使用ROM或RAM,并存储了一个正弦信号的样本,用频率控制字和相位控制字来

获得取样地址,就可映射到所需的输出波形^[5]。

DDS在工作时,每个时钟周期内,相位累加器会对初始相位,以频率控制字进行一次累加。当累加器溢出时做取余运算^[6],并以余数为初始值再次进行累加。正弦查找表在每个时钟周期通过输入的地址读取对应的位置的幅值数据。最后经过DAC输出模拟信号。DDS的输出信号公式可以表示为:

$$S_{OUT} = A \sin\left(\frac{2\pi\Phi_T}{2^N}\right) = A \sin\left(\frac{2\pi(\Phi_{T-1} + \Delta\Phi)}{2^N}\right) \quad (1)$$

其中, Φ_T 表示当前周期的相位值; $T-1$ 表示上一周期; N 为累加器位数。通过DDS工作原理,可以推得输出频率 f_{OUT} 与相位 ϕ 的计算公式分别如下:

$$f_{OUT} = \frac{(FWT)(f_s)}{2^N} \quad (2)$$

$$\Phi = \frac{2\pi POW}{2^M} \times 360^\circ \quad (3)$$

其中, FWT 为频率控制字; POW 为相位控制字; f_s 为时钟频率; M 为相位位数。

DDS为了实现调幅功能,在DAC输入之前,额外加入比例乘法器并用幅值控制字进行控制。幅值可由如下公式进行计算:

$$A = \frac{ACR}{2^P} V_{max} \quad (4)$$

其中, ACR 表示幅值控制字; P 表示 ACR 的位数; V_{max} 是DDS的最大输出电压。通过以上控制字的调节就能使得DDS输出指定的射频脉冲。

1.3 射频脉冲

在MRI系统中,根据射频脉冲的选择特性^[7],可以将射频脉冲分为非选择性射频脉冲(Hard Pulse,硬脉冲)和层面选择性射频脉冲(Soft Pulse,软脉冲)。对此拟做研究分述如下。

(1)硬脉冲。硬脉冲持续时间短且脉冲幅度稳定,脉冲包络呈矩形,主要特点是激发范围大,但层面选择并不精确。这里给出了硬脉冲的函数表达式及对应的傅里叶变换为:

$$f(t) = \begin{cases} 1 & |t| \leq \frac{\tau}{2} \\ 0 & |t| > \frac{\tau}{2} \end{cases} \quad (5)$$

$$F(\omega) = \frac{2\sin(\omega\tau/2)}{\omega} = \tau \text{sinc}(\omega\tau/2) \quad (6)$$

根据上式可知,脉宽为 τ 的硬脉冲频带为 $4\pi/\tau$ 。控制脉宽 τ ,能够调节激发质子核的频率范围。由于激发过程中射频脉冲持续时间一般较短,

因此硬脉冲的频带范围较大,通常用于成像层厚较大的场合。

(2)软脉冲。软脉冲持续时间短,主要有 sinc 型脉冲、SLR 型脉冲、高斯型脉冲。其特点为激发范围小,傅里叶变换后有更精确的层面轮廓^[8]。在商用 MRI 中,由于 sinc 型脉冲较易实现,因此在使用中较为常见。以 sinc 型脉冲为例,sinc 脉冲广泛用于选择性激发脉冲、饱和脉冲以及重聚脉冲。脉冲形状由主瓣和旁瓣组成。其中,主瓣的幅度最大、且宽度为旁瓣的 2 倍,旁瓣幅度随着两侧的延伸而逐渐减小,同时旁瓣呈正负交错状。在实际应用中若要减少持续时间,可以减少右侧旁瓣,即形成非对称 sinc 型脉冲。sinc 型脉冲的函数表达式以及其傅里叶变换为:

$$f(t) = \frac{\sin(\omega_1 t)}{\omega_1 t} \quad (7)$$

$$F(\omega) = \begin{cases} \frac{\pi}{\omega_1} & |\omega| \leq \omega_1 \\ 0 & |\omega| > \omega_1 \end{cases} \quad (8)$$

从 sinc 型脉冲的傅里叶变换可知,其频谱包络

呈带宽为 $2\pi/\omega_1$ 的方波,在实际应用中 sinc 型脉冲的带宽较为狭窄,通常用于成像层面较窄的场合^[9]。

2 设计与实现

2.1 Vivado 设计

Vivado 是 Xilinx 公司针对其旗下的 FPGA 设计的开发软件,有着高度集成的设计环境和电子系统及设计。Vivado 基于 ASIC 综合技术,支持工具命令语言(TCL)、SDC 约束、SV 语言等。设计人员可以在设计与实现之间进行交叉测试^[10],极大程度上加快了开发速度。

本设计使用 SoC 架构下的 Zynq 7010 进行设计与开发,主芯片型号为 XC7Z010-1CLG400C,片内集成了 2 个 ARM Cortex-A9 处理器。本设计使用片内处理器与上位机通讯获取射频脉冲发射指令,并在 PS 内通过公式(1)~(5)计算 DDS 的控制字参数和波形文件。通过 AXI 协议,将配置文件发送至可编程逻辑部分。最后,利用在 Vivado 中自定义的 IP 以 SPI 的模式配置 DDS。在 Vivado 的 block design 中搭建的对应的可视化结构如图 2 所示。

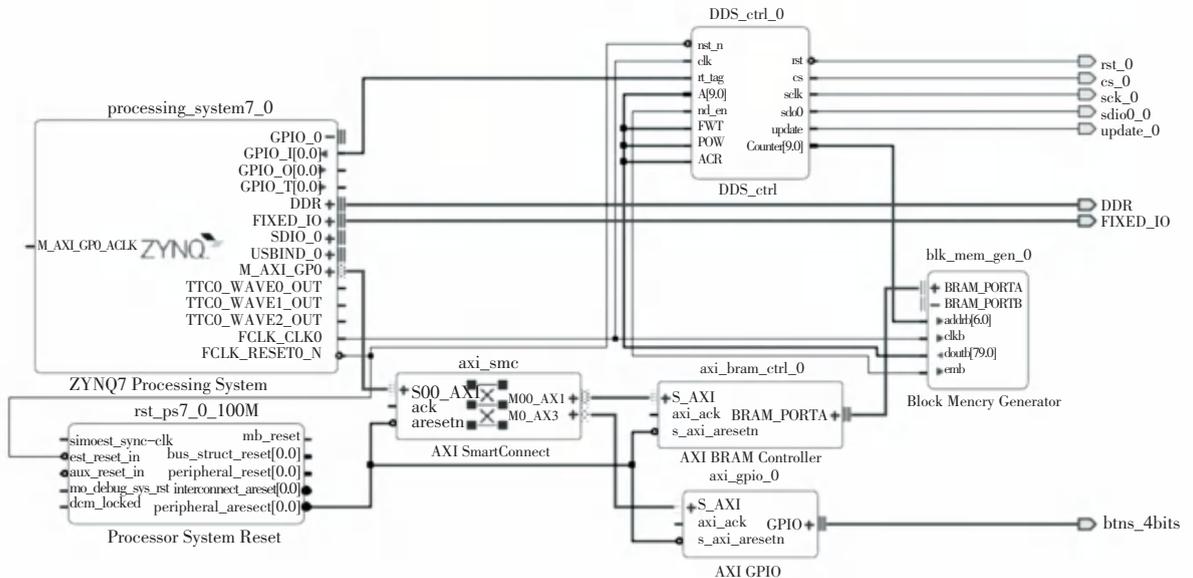


图 2 模块化设计框图

Fig. 2 Diagram of block design

2.2 SDK 软件设计

Xilinx SDK 是 Xilinx 公司为了开发 Zynq 系列全可编程片上系统所推出的嵌入式软件开发工具。SDK 作为首个具有异构多处理器设计、实现与调试分析的程序,集成了大量的板级支持包用于支持各种开发板,同时还包含了大量的库函数,这就显著降低了开发难度^[11]。

在软件设计流程中,程序开始后进行初始化设置,通过串口获取上位机指令,并在 PS 端内计算频率、相位控制字、波形文件以及脉冲时间计数值。将生成的脉冲波形文件通过 AXI 协议发送至 PL 端双端口 RAM 中,再利用 PL 端定义的 DDS 控制模块通过 SPI 协议将配置数据发送至 DDS,通过 DDS 控制模块计数来控制射频开关。流程框图如图 3 所示。

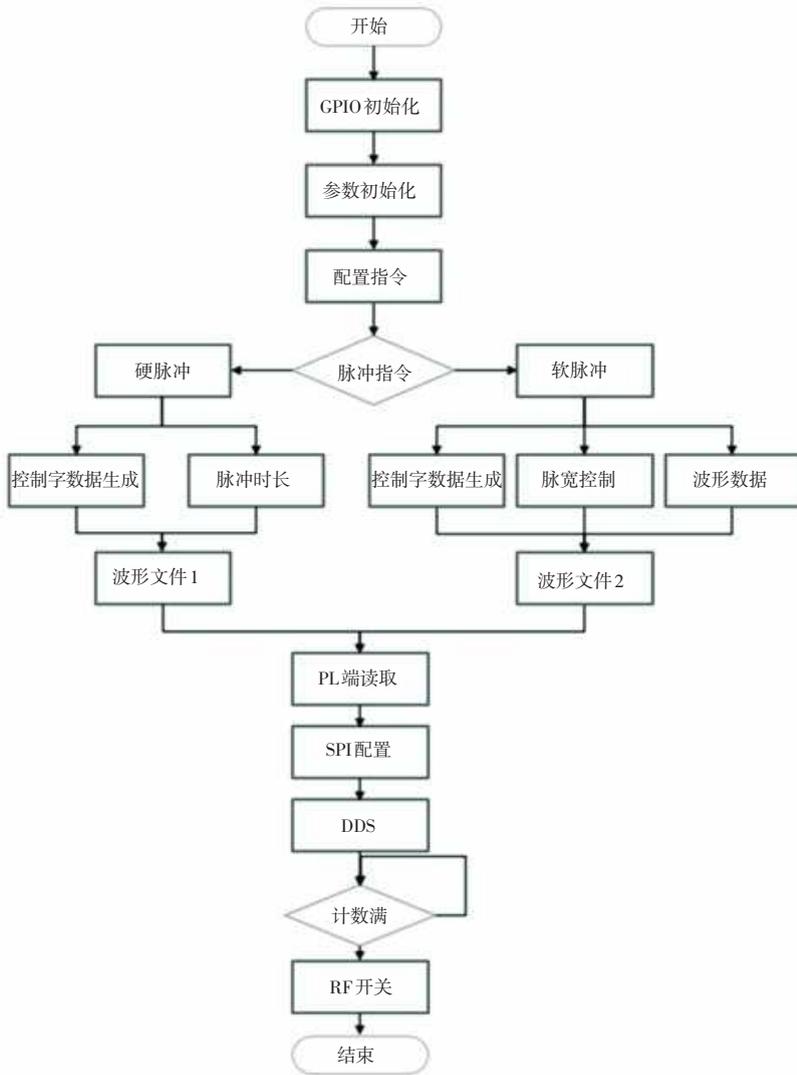


图 3 软件设计框图

Fig. 3 Diagram of the software design

2.3 DDS 设计

本设计频率合成使用双通道 DDS-AD9958, 该合成器由 2 个 DDS 内核组成, 每个内核包含有 32 bit 频率控制字、14 bit 相位控制字以及 10 bit 输出比例乘法器, 因此具有独立调节频率、相位、幅值的能力^[12]。AD9958 最高工作频率为 500 MSPS, 最高输出频率可达 200 MHz, 满足高场(3T)及以下的 MRI 射频频率要求。设计使用 25 MHz 的外部晶振通过集成的 PLL 倍频至 500 MHz, 并通过 I/O 端口进行通讯, I/O 端口用的是 SPI 接口模式, 其中 SCLK 为串口数据时钟线, 在本设计中频率设定为 125 MHz, CS 为片选, SDIO_0 为串口数据线, UPDATA 将传输至缓存的数据更新至寄存器中, RST 用于芯片的复位。接口连接示意如图 4 所示。

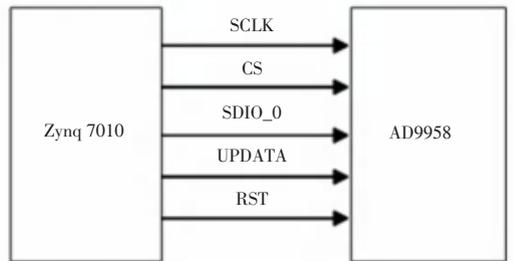


图 4 SPI 连接图

Fig. 4 Diagram of SPI connection

本设计通过 Vivado 设计自定义 IP 对 AD9958 进行写操作, 具体结构分为指令周期和数据周期两个阶段。其中, 指令周期选择指定寄存器地址, 数据周期将指定数据发送至寄存器。本设计 SPI 通讯使用单比特 2 线模式, 其写数据的时序逻辑如图 5 所示。

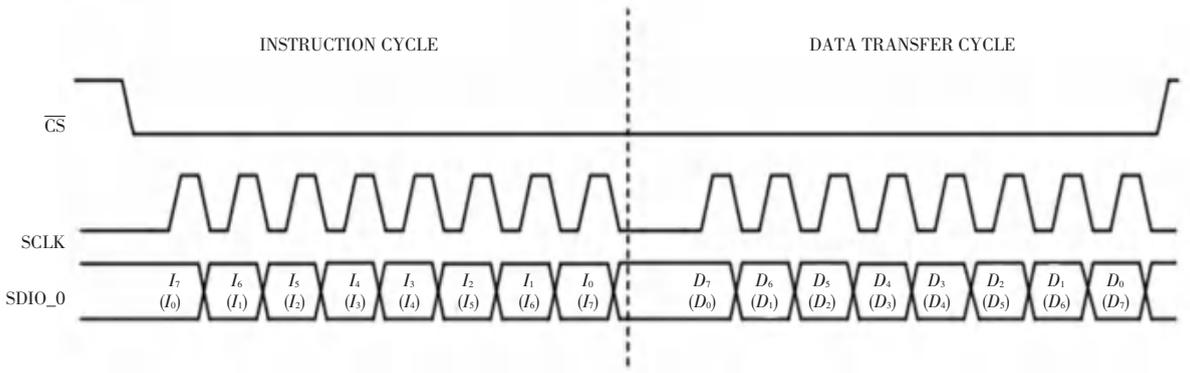


图 5 AD9958 时序逻辑图

Fig. 5 AD9958 sequential logic diagram

2.4 滤波设计

设计使用截止频率为 200 MHz 的巴特沃斯低通滤波器,阶数为 9 阶,电路示意如图 6 所示。巴特沃斯滤波器具有通带内最大限度平坦的频率响应曲

线,通带平滑、没有波纹^[13]。在阻带内,巴特沃斯滤波器衰减速度随阶数增加而加快,9 阶巴特沃斯滤波器衰减率可达 54 dB。

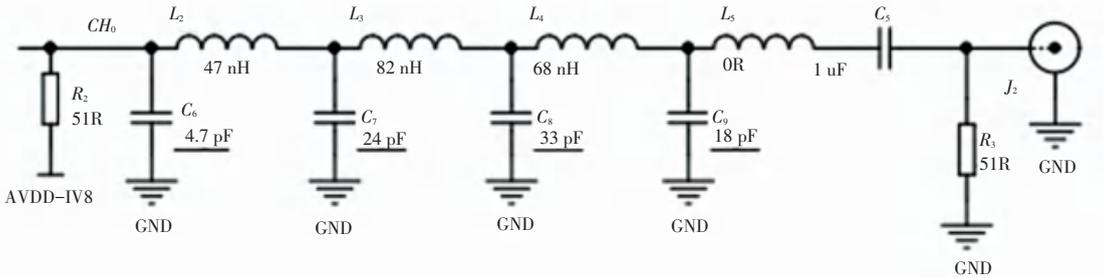


图 6 巴特沃斯滤波器示意图

Fig. 6 The schematic diagram of Order 9 Butterworth filter

2.5 射频开关设计

射频开关使用的是 ADI 公司的非反射式开关芯片 HMC849,通道关闭状态下可产生高达 60 dB 的隔离,同时具有低于 0.8 dB 插入损耗。控制端口为 5 V 或 3.3 V TTL 电平控制输入。PL 端的控制 IP 中,在脉冲生成后进行计数以控制脉宽,计数满则控制 IO 电平连接至 HMC849 的 V_{ctl} 端口。开关功能原理如图 7 所示。

3 实现结果与讨论

3.1 实现结果

本系统使用 Xilinx 公司的 zybo 板作为开发平台,使用 JTAG 进行程序下载。为验证本设计的射频脉冲发生效果,设计生成 1.5 T 场强下的射频脉冲,对应射频频率为 63.87 MHz,并使双通道 DDS 输出频率为 63.87 MHz 的射频信号以及对应的软脉冲。

通过 MSO4104 示波器对射频输出结果进行检测,通道一输出频率为 63.87 MHz 的射频信号检测波形如图 8(a) 所示,检测到频率 63.86 MHz,峰峰值 400 mV,输出阻抗 50 Ω ;通道二输出的 63.87 MHz 的软脉冲类型为 3sinc 型,输出的波形结果如图 8(b) 所示。使用频谱仪 AT6030D 对 63.87 MHz 射频信号检测,偏离中心频率 1 MHz 的杂散约为 -67.23 dB;偏离中心频率 10 kHz 的相位噪声约为 -64.57 dB/Hz。结果证明本设计的射频脉冲输出较为理想,且经多次测量后输出稳定波形。

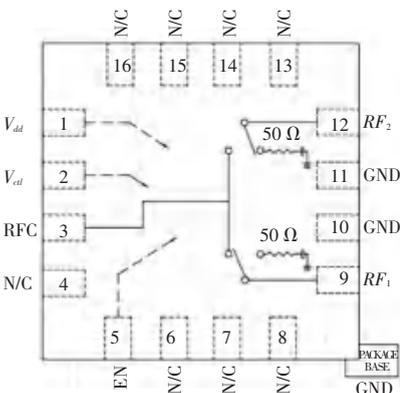


图 7 HMC849 功能结构

Fig. 7 Functional diagram of HMC849

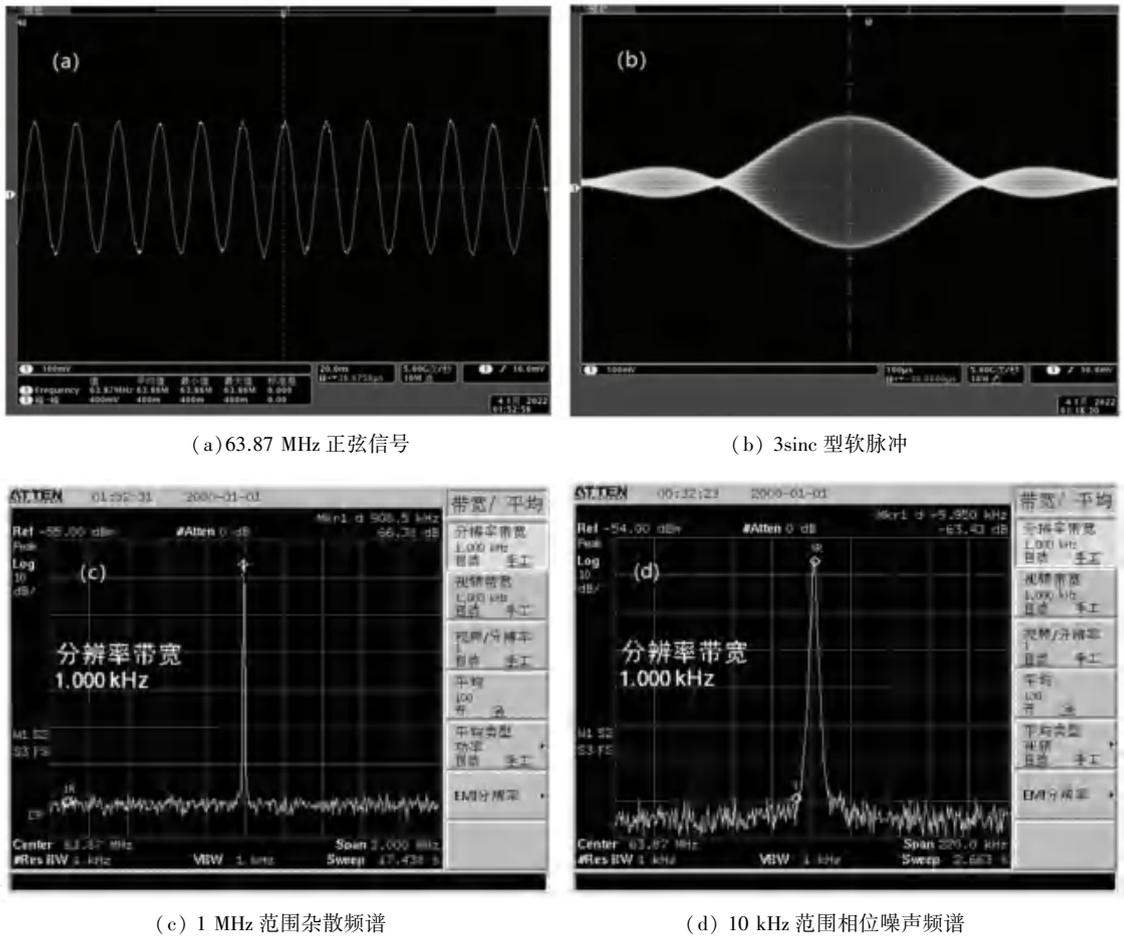


图 8 检测后的射频输出结果

Fig. 8 The detected RF output result

3.2 讨论

实验通过 Zynq 7010 进行整个系统的搭建与实现,优点是低成本,自带处理器,相较于目前使用较多的 FPGA 在工艺上能达到更低的静态功耗^[14]。研究中,通过门控时钟技术来减少寄存器反转造成的功耗,即对相应模块加入了使能信号,能有效降低平均 20% 的功耗。该系统使用 Vivado 进行设计与开发,通过该软件可以得到系统资源利用率。资源使用情况见表 1。表 1 中,RF 为项目工程名。

表 1 资源分析结果表

Tab. 1 Resource analysis results table

| Name | BRAMs (60) | IO(100) | LUTs (17600) | Registers (35200) |
|------|---------------|---------|-----------------|----------------------|
| RF | 8 | 28 | 142 | 563 |

由表 1 可知,证明单板资源足以支持该系统的工作。然而高场系统往往具有多个射频通道,需要的资源也更多。由于 Zynq 7010 是 Zynq-7000 系列中的最小型的版本之一,现有资源较少。对于 16 通道及以上的设计,预计需要使用多个芯片或者应用具有更多资源的型号的芯片来支持系统的实现。

4 结束语

本文基于 Zynq SoC 提出了一种可用于高场的射频脉冲发生方法,以 SoC 作为主控系统,并以 DDS 为频率源。利用 C、Verilog 语言在 Vivado 及 SDK 开发软件中进行设计开发,并以可视化界面进行结构设计。相较于现有的射频发射方法,该设计采用数字器件降低了硬件的复杂程度,利用 SoC 的优势提升了系统的灵活性,并且高集成的开发软件也在相当程度上减小了开发难度,加快了开发周期。

参考文献

[1] XIAO Liang, ZHOU Shuai. The RF generation of MRI spectrometer using direct digital synthesis and phase dither based on FPGA[C]//2021 International Conference on Communications, Information System and Computer Engineering (CISCE). Beijing, China: IEEE, 2021 :477-481.

[2] 李庆,李颀颖. 基于 DDS 的数字化频率源[C]//第十六届全国波谱学学术会议论文摘要集. 海南:中国物理学会,2010:336-337.

(下转第 129 页)